

Analog/digital converter

Patent Number: ☐ US2003052809
Publication date: 2003-03-20
Inventor(s): KUTTNER FRANZ (AT)
Applicant(s):
Requested Patent: ☐ DE10139488
Application Number: US20020216651 20020809
Priority Number(s): DE20011039488 20010810
IPC Classification: H03M1/34
EC Classification: H03M1/06R1
Equivalents:

22553 U.S.PTO
10/764489

012704

Abstract

An A/D converter for converting an analog input into a binary-encoded word includes a bit-weight memory storing bit weights that include maximum, minimum, and medium weights. During a conversion step, first and second registers store lower and upper weights, and a D/A converter converts one of the upper and lower weights into an analog bit-weighting signal. A comparison device provides a comparison result indicative of a comparison between the analog input and the analog bit-weighting signal and stores the result in a third register. A multiplexer selects the upper weight when the analog input exceeds the analog bit-weighting signal and the lower weight otherwise. A subtractor subtracts, from the bit weight of a preceding conversion step, a smaller weight that is smaller than, but closest, to the previous bit weight. An adder adds the new lower weight to the smaller weight to get a new upper bit weight.

Data supplied from the esp@cenet database - 12

THIS PAGE BLANK (USPTO)

zu P610 896 / DE/1



19 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENT- UND
MARKENAMT

12 Pat ntschrift
10 DE 101 39 488 C 1

51 Int. Cl.7:
H 03 M 1/38

21 Aktenzeichen: 101 39 488.8-42
22 Anmeldetag: 10. 8. 2001
43 Offenlegungstag: -
45 Veröffentlichungstag
der Patenterteilung: 2. 1. 2003

DE 101 39 488 C 1

Innerhalb von 3 Monaten nach Veröffentlichung der Erteilung kann Einspruch erhoben werden

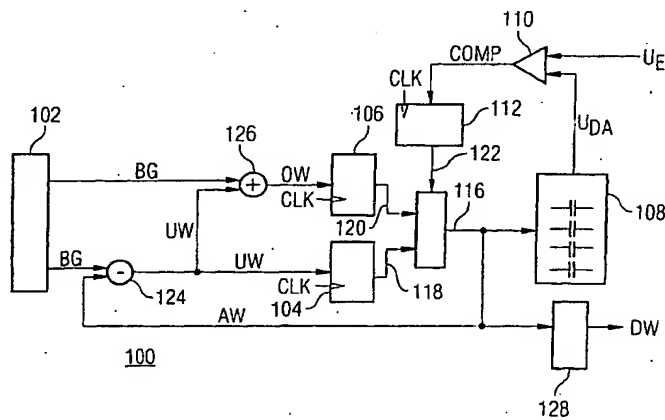
73 Patentinhaber:
Infineon Technologies AG, 81669 München, DE
74 Vertreter:
PAe Reinhard, Skuhra, Weise & Partner, 80801
München

72 Erfinder:
Kuttner, Franz, St. Ulrich, AT

56 Für die Beurteilung der Patentfähigkeit in Betracht
gezogene Druckschriften:
US 50 57 841
TIETZE, U., SCHENK, Ch.: Halbleiterschaltungs-
technik, 10. Aufl., S. 780 ff;

54 Analog/Digital-Wandler

57 Die vorliegende Erfindung schafft einen Analog/Digital-
Wandler (100) zum Umwandeln eines analogen Eingangs-
signals in ein Datenwort während einer Zahl von
Wandlungsschritten, mit einer Einrichtung (102) zum
Speichern von Bitgewichten; Einrichtungen (104, 106)
zum Zwischenspeichern eines unteren und oberen Bitge-
wichtswerts; einem Digital/Analog-Wandler (108) mit Ka-
pazitätsnetzwerk und Thermometercodeansteuerung
zum Umwandeln des oberen oder unteren Bitgewichts-
werts in ein analoges Bitgewichtssignal; einer Einrichtung
(110) zum Vergleichen des analogen Eingangssignals mit
dem analogen Bitgewichtssignal und zum Liefern eines
Vergleichsergebnisses; einer Einrichtung (112) zum Aus-
wählen des oberen oder unteren Bitgewichtswerts abhän-
gig von dem Vergleichsergebnis und zum Liefern eines
ausgewählten Bitgewichtswerts; einer Einrichtung (124)
zum Subtrahieren eines zu dem Bitgewicht eines vorher-
gehenden Wandlungsschritts nächst kleineren Bitge-
wichts von dem ausgewählten Bitgewichtswert eines vor-
hergehenden Wandlungsschritts, um einen neuen unteren
Bitgewichtswert zu liefern; einer Einrichtung (126) zum
Addieren des zu dem Bitgewicht eines vorhergehenden
Wandlungsschritts nächst kleineren Bitgewichts zu dem
neuen unteren Bitgewichtswert, um einen neuen oberen
Bitgewichtswert zu liefern.



DE 101 39 488 C 1

[0001] Die vorliegende Erfindung bezieht sich auf Analog/Digital-Wandler und insbesondere auf Analog/Digital-Wandler nach dem Prinzip der sukzessiven Approximation.

[0002] Die sukzessive Approximation ist ein Wandlungsverfahren, das für mittelschnelle Analog/Digital-Wandler (A/D) verwendet wird [U. Tietze - Ch. Schenk, Halbleiterschaltungstechnik, 10. Auflage, S. 780 ff].

[0003] Die US 5 057 841 beschreibt einen Analog/Digital-Wandler mit redundantem Code, bei dem die Spannungen des DAC in den Wandlungsschritten überlappen.

[0004] Fig. 5 zeigt den prinzipiellen Aufbau eines bekannten Analog/Digital-Wandlers 500 mit Wägeverfahren und mit sukzessiver Approximation. Der Analog/Digital-Wandler 500 weist ein Abtast-Halte-Glied 502 zum Abtasten und Speichern eines analogen Eingangssignals U_E und einen Komparator 504 zum Vergleichen des gespeicherten Eingangssignals U_E mit dem analogen Ausgangssignal $U(Z)$ eines Digital/Analog-Wandlers 506 auf. Das Abtast-Halte-Glied 502 wird benötigt, um ein Eingangssignal U_E zwischenzuspeichern, damit Änderungen des Eingangssignals U_E während der Wandlungsdauer keinen Fehler verursachen.

[0005] Zu Beginn einer Wandlung wird die Zahl Z am Eingang des Digital/Analog-Wandlers 506 auf Null gesetzt. Anschließend wird das höchste Bit (MSB; MSB = Most Significant Bit) auf Eins gesetzt und geprüft, ob das analoge Eingangssignal U_E des Analog/Digital-Wandlers 500 größer als $U(Z)$ ist. Ist dies der Fall, bleibt das Bit gesetzt. Andernfalls wird es wieder gelöscht. Damit ist das höchste Bit "gewogen". Dieser Wägevorgang wird anschließend für jedes weitere Bit wiederholt, bis zum Schluß auch das niedrigste Bit (LSB; LSB = Least Significant Bit) feststeht. Auf diese Weise entsteht in einem Register 508, das auch ein Register für eine sukzessive Approximation (SAR; SAR = Successive Approximation Register) genannt wird, eine Zahl, die nach Wandlung durch den Digital/Analog-Wandler 506 eine Spannung $U(Z)$ ergibt, die innerhalb einer Auflösung für das niedrigste Bit U_{LSB} mit dem analogen Eingangssignal U_E übereinstimmt. Das Register 508 weist typischerweise Flip-Flops auf, die zu einem Schieberegister verschaltet sind.

[0006] Die maximale Wandlungsgeschwindigkeit des Analog/Digital-Wandlers 500 von Fig. 5 ist dadurch bestimmt, daß der n -Bit-Digital/Analog-Wandler 506 n Entscheidungen treffen muss, wobei jede dieser Entscheidungen mindestens so genau sein muß, wie das endgültige Wandlungsergebnis selbst. Der Digital/Analog-Wandler 506 muß für jede Wandlung eines Eingangssignals U_E n Vergleichswerte $U(Z)$ liefern, wobei natürlich Zeit gebraucht wird, bis diese n Vergleichswerte $U(Z)$ mit der gewünschten Genauigkeit von dem Digital/Analog-Wandler 506 generiert werden. Der Digital/Analog-Wandler 506 schwingt näherungsweise exponentiell auf den gewünschten Wert $u = U_0(1 - e^{-t/\tau})$ ein. Auch der Komparator 504 braucht Zeit, um die Vergleichswerte mit dem zu wandelnden analogen Eingangssignal U_E zu vergleichen. Diese Zeit ist von der Sprunghöhe des analogen Eingangssignals U_E abhängig. Die Zeit, die der Digital/Analog-Wandler 506 verbraucht, um auf ein $1/2$ LSB einzuschwingen, ergibt sich zu

$$t = \tau \times \ln\left(\frac{1}{2} \times \frac{1}{2^n}\right)$$

[0007] Um die Wandlungsgeschwindigkeit eines Analog/Digital-Wandlers zu erhöhen, kann bei jedem Wandlungsschritt ein größerer Fehler zugelassen werden, was zu den bereits bekannten Wandlern mit redundantem Code führt.

[0008] Aus einem binären Analog/Digital-Wandler entsteht ein Analog/Digital-Wandler mit redundantem Code, wenn die Elemente, wie z. B. Widerstände, mit denen der Referenzwert, wie z. B. eine Referenzspannung, geteilt wird, um Vergleichswerte zu liefern, nicht binär gewichtet werden. Es gibt damit mehrere Codes zu ein und demselben Analogwert, dadurch haben kleine Fehlentscheidungen keinen Einfluß auf das Wandlungsergebnis. Bei einem konventionellen binären Wandler ohne Redundanz kann z. B. das MSB, wenn es durch einen Fehler falsch gesetzt wird, in den nachfolgenden Wandlungsschritten nicht mehr korrigiert werden. Bei einem Analog/Digital-Wandler mit redundantem Code gibt es, wenn der Fehler nicht zu groß ist, einen zweiten Code, der dem selben analogen Eingangssignal entspricht.

[0009] Bei einem Analog/Digital-Wandler mit redundantem Code baut man beispielsweise den Digital/Analog-Wandler nicht mit einem Referenzelement, einem doppelt so großen Referenzelement, einem viermal so großen Referenzelement auf, sondern man multipliziert mit einem kleineren Wert als 2. Die Referenzelemente können dabei z. B. die Gewichtung 1; 1,8; $1,8 \times 1,8$; $1,8 \times 1,8 \times 1,8$ usw. aufweisen. Referenzelemente können dabei z. B. Kapazitäten, Stromquellen, Widerstände etc. sein.

[0010] Die Analog/Digital-Wandlung wird dann derart durchgeführt, daß zuerst der zu wandelnde Analogwert bzw. das analoge Eingangssignal gespeichert wird. Der Analogwert wird daraufhin mit etwas mehr als dem halben Referenzwert verglichen, indem beim Digital/Analog-Wandler das größte Referenzelement und zusätzlich ein oder mehrere kleinere Referenzelemente gesetzt werden. Wenn z. B. die Zahlenbasis 1,8556 verwendet wird, kann der Versuch mit 1000100 ... durchgeführt werden. Ist der zu messende Analogwert größer als der Vergleichswert, bleibt die führende 1 gesetzt, und der nächste Vergleich wird mit 1100010 ... durchgeführt. Ist der Analogwert kleiner, so wird das MSB auf Null gesetzt, und der nächste Vergleich wird mit 0100010 ... ausgeführt. Bei diesem Algorithmus entsteht ein redundanter Code, bei dem es mehrere Codes zu ein und demselben Analogwert gibt. Ein Fehler, der bei dem MSB auftritt, kann dadurch in den nachfolgenden Wandlungsschritten ausgeglichen werden.

[0011] Fig. 6 zeigt einen bekannten Analog/Digital-Wandler mit redundantem Code. Der Analog/Digital-Wandler 600 weist eine Anordnung 602 von Referenzkapazitäten 604 mit fester Gewichtung 1p; 1,8556p; 3,4432p; 6,3892p und 11,8559p auf, die einen Digital/Analog-Wandler bildet. An diese Anordnung 602 von Referenzkapazitäten 604 kann wahlweise über Schalter 606 entweder zur Abtastung einer analogen Eingangsspannung U_E oder zur Erzeugung einer Vergleichsspannung zum Vergleichen mit der analogen Eingangsspannung eine Referenzspannung U_{REF} angelegt werden. Der Analog/Digital-Wandler 600 weist ferner einen Komparator 608 auf, an dem die Eingangsspannung U_E und die aus der Referenzspannung U_{REF} erzeugte Vergleichsspannung an Eingängen 610 und 612 verglichen werden können. Der Komparator 608 kann durch Schalter 614 und 616 überbrückt werden, um am Anfang einer Wandlung die Eingangsspannung U_E abzutasten und zu speichern. Bei einem Vergleich durch den Komparator 608 wird das Ergebnis des Vergleichs an ein Register 618 mit sukzessiver Approximation (SAR) weitergegeben, das abhängig von dem Ergebnis des momentanen Vergleichs die Referenzkapazitäten 604 der Anordnung 602 für den nächsten Vergleich derart ansteuert und auswählt, daß eine allmähliche Annäherung (sukzessive Approximation) an die tatsächliche Eingangsspannung U_E erreicht wird. Das Vergleichen und allmähli-

che Annähern wird bis zu den niedrigsten Bit (LSB) durchgeführt. Ist das Ergebnis der Wandlung erreicht, so gibt das Register 618 den ermittelten Wert, der mit dem redundanten Code codiert ist, an einen Addierer 620 weiter. Der Addierer 620 ruft aus einem Speicher 622 die Referenzkapazitätswerte der Anordnung 602 ab und korrigiert durch Addition mit einem Addierer 620 den im redundanten Code ermittelten Wert, um einen binären Wert zu erzeugen. Ein Akkumulator-Register AKK REG 624 speichert den binär codierten Wert als Ergebnis der Analog/Digital-Wandlung und gibt ihn aus.

[0012] Ein Nachteil des Analog/Digital-Wandlers 600 von Fig. 6, der Referenzelemente aufweist, die nicht binär gewichtet sind, sondern mit einer kleineren Zahlenbasis als 2 gewichtet sind, besteht darin, daß solche Referenzelemente, die z. B. einen Grundwert von 1,8556 aufweisen, wie in Fig. 6 gezeigt, nicht ohne weiteres durch Verdoppeln etc. des Grundreferenzelementes erzeugt werden können. Dies liegt daran, daß im Layout einer Schaltung für einen Analog/Digital-Wandler ungerade Referenzwerte schwerer zu realisieren sind als einfache Verdoppelungen, wie bei der binären Gewichtung. Es ergeben sich dadurch prinzipiell größere Fehler als bei einem binären Analog/Digital-Wandler.

[0013] Ein weiterer Nachteil des Analog/Digital-Wandlers 600 von Fig. 6 besteht darin, daß der redundante Code zur weiteren Verwendung in einen binären Code in dem Addierer 620 umgewandelt werden muß. Dabei treten Rundungsfehler auf.

[0014] Ein weiterer Nachteil des Analog/Digital-Wandlers 600 von Fig. 6 besteht darin, daß bei einem redundanten Code oftmals zur Erzeugung eines Vergleichswertes kleinere Referenzkapazitäten weggeschaltet und größere Referenzkapazitäten hinzugeschaltet werden müssen, also viele Umschaltvorgänge auftreten, die ein Umladen von Kapazitäten erforderlich machen und daher zu einem erhöhten Leistungsverbrauch des Analog/Digital-Wandlers führen.

[0015] Die Aufgabe der vorliegenden Erfindung besteht darin, einen schnell, genau und energieeffizient arbeitenden Analog/Digital-Wandler zu schaffen.

[0016] Diese Aufgabe wird durch einen Analog/Digital-Wandler nach Anspruch 1 gelöst.

[0017] Ein Vorteil des Analog/Digital-Wandlers gemäß der Erfindung besteht darin, daß beliebige Bitgewichte bzw. Referenzwerte für den Vergleich eines analogen Eingangswerts mit einem Vergleichswert, je nach Bedarf an Geschwindigkeit und Genauigkeit, verwendet werden können.

[0018] Ein weiterer Vorteil des Analog/Digital-Wandlers gemäß der vorliegenden Erfindung besteht darin, daß bei der Erzeugung von Vergleichswerten beispielsweise lediglich Referenzkapazitäten hinzugeschaltet und nicht weggeschaltet werden, was einen energieeffizienten Betrieb des Analog/Digital-Wandlers ermöglicht.

[0019] Ein weiterer Vorteil des Analog/Digital-Wandlers gemäß der vorliegenden Erfindung besteht darin, daß derselbe ohne weiteres sowohl einen Kaltstart als auch einen Warmstart, bei dem die Wandlungswerte einer vorhergehenden Wandlung genutzt werden, um die Wandlungszeit zu reduzieren, ermöglicht.

[0020] In den Unteransprüchen finden sich vorteilhafte Weiterbildungen des in Anspruch 1 angegebenen Analog/Digital-Wandlers.

[0021] Gemäß einer bevorzugten Weiterbildung weist der Analog/Digital-Wandler ferner eine Einrichtung zum Initialisieren des unteren Bitgewichtswerts in der ersten Einrichtung zum Zwischenspeichern und des oberen Bitgewichtswerts in der zweiten Einrichtung zum Zwischenspeichern auf.

[0022] Gemäß einer weiteren bevorzugten Weiterbildung

weist der Analog/Digital-Wandler ferner eine Einrichtung zum Auslesen eines binär codierten Bitgewichtswerts aus der Einrichtung zum Speichern und zum Liefern des ausgelesenen binär codierten Bitgewichtswerts zu der Einrichtung zum Subtrahieren und der Einrichtung zum Addieren auf.

[0023] Gemäß einer weiteren bevorzugten Weiterbildung initialisiert die Einrichtung zum Initialisieren den unteren und den oberen Bitgewichtswert zu Beginn des ersten Wandlungsschritts auf das mittlere binär codierte Bitgewicht der Gruppe von binär codierten Bitgewichten, und die Einrichtung zum Auslesen liest das maximale binär codierte Bitgewicht während des ersten Wandlungsschritts aus.

[0024] Gemäß einer weiteren bevorzugten Weiterbildung initialisiert die Einrichtung zum Initialisieren den unteren und den oberen Bitgewichtswert zu Beginn des ersten Wandlungsschritts auf das binär codierte Datenwort einer vorhergehenden Wandlung, und die Einrichtung zum Auslesen liest ein binär codiertes Bitgewicht während des ersten Wandlungsschritts aus, das einem oberen und unteren Bitgewichtswert zugeordnet ist, die sich in der Nähe des binär codierten Datenworts der vorhergehenden Wandlung befinden.

[0025] Gemäß einer weiteren bevorzugten Weiterbildung umfasst der Digital/Analog-Wandler

- (a) eine Kondensatorzellenmatrix, die aus matrixförmig in Spalten und Zeilen angeordneten Kondensatorzellen besteht, welche über Steuerleitungen durch thermometer-codierte Steuersignale angesteuert werden;
- (b) eine erste Codiereinrichtung zum Umcodieren der n höherwertigen Datenbits des umzuwandelnden Bitgewichtswerts in ein 2^n Bit breites thermometer-codiertes Spalten-Steuersignal, das über Spaltensteuerleitungen an die Kondensatorzellenmatrix angelegt wird;
- (c) eine zweite Codiereinrichtung zur Umcodierung der m niederwertigen Datenbits des umzuwandelnden Bitgewichtswerts in ein 2^m Bit breites thermometer-codiertes Zeilensteuersignal, das über Zeilensteuerleitungen an die Kondensatorzellenmatrix angelegt wird;
- (d) wobei jede Kondensatorzelle der Kondensatorzellenmatrix jeweils eine zugehörige lokale Decodierschaltung aufweist, die in Abhängigkeit von dem thermometer-codierten Zeilensteuersignal und dem thermometer-codierten Spaltensteuersignal Schalter ansteuert, die mindestens einen in der Kondensatorzelle enthaltenen Kondensator an verschiedene Referenzspannungen (V_p , V_n) durchschalten.

[0026] Gemäß einer weiteren bevorzugten Weiterbildung weist die lokale Decodierschaltung der in der i-ten Spalte und der j-ten Zeile angeordneten Kondensatorzelle des Digital/Analog-Wandlers

[0027] eine erste logische Schaltung zur logischen NAND-Verknüpfung des an der i-ten Spaltensteuerleitung und des an der j-ten Zeilensteuerleitung anliegenden Signals,

eine zweite logische Schaltung zur logischen Invertierung des an der i-1-ten-Spaltensteuerleitung anliegenden Signals und

eine dritte logische Schaltung zur logischen NAND-Verknüpfung der Ausgangssignale der ersten logischen Schaltung und der zweiten logischen Schaltung zu einem lokalen Steuersignal für die Schalter der Kondensatorzelle auf.

[0028] Gemäß einer weiteren bevorzugten Weiterbildung sind die Kondensatorzellen der Kondensatorzellenmatrix des Digital/Analog-Wandlers differentiell aufgebaut.

[0029] Gemäß einer weiteren bevorzugten Weiterbildung weist die Kondensatorzelle des Digital/Analog-Wandlers zwei Kondensatoren mit gleicher Kapazität auf, die je-

weils über zwei zugehörige Schalter an eine positive Referenzspannung (V_p) oder eine negative Referenzspannung (V_n) schaltbar sind.

[0030] Gemäß einer weiteren bevorzugten Weiterbildung ist die lokale Decodierschaltung des Digital/Analog-Wandlers differentiell aufgebaut.

[0031] Gemäß einer weiteren bevorzugten Weiterbildung weist die lokale Decodierschaltung des Digital/Analog-Wandlers eine erste Decodiereinrichtung, die in Abhängigkeit von dem anliegenden thermometer-codierten Steuersignalen die Schalter des ersten Kondensators der differentiell aufgebauten Kondensatorzelle ansteuert, und eine zweite Decodiereinrichtung auf, die in Abhängigkeit von den anliegenden invertierten thermometer-codierten Steuersignalen die Schalter des zweiten Kondensators der differentiell aufgebauten Kondensatorzelle ansteuert.

[0032] Gemäß einer weiteren bevorzugten Weiterbildung weisen die Kondensatoren der Kondensatorzellen des Digital/Analog-Wandlers jeweils einen ersten Anschluß, der mit zwei steuerbaren Schaltern zum Schalten an eine positive und eine negative Referenzspannung verbunden ist, und einen zweiten Anschluß auf, der mit einem gemeinsamen Potentialknoten der Kondensatorzellenmatrix verbunden ist.

[0033] Gemäß einer weiteren bevorzugten Weiterbildung ist der gemeinsame Potentialknoten der Kondensatorzellenmatrix des Digital/Analog-Wandlers mit einem Signalausgang des Digital-Analog-Wandlers zur Abgabe des analogen Ausgangssignals verbunden.

[0034] Gemäß einer weiteren bevorzugten Weiterbildung wird die lokale Decodierschaltung des Digital/Analog-Wandlers über eine Pegelwandlerschaltung zur Erhöhung des Spannungshubs an den Kondensatoren mit einer Versorgungsspannung (V_{DD}) versorgt.

[0035] Gemäß einer weiteren bevorzugten Weiterbildung sind die Steuerleitungen des Digital/Analog-Wandlers differentiell aufgebaut.

[0036] Gemäß einer weiteren bevorzugten Weiterbildung weist der Digital/Analog-Wandler ferner einen Puffer zum Einlesen der Referenzspannungen (V_p , V_n) oder des analogen Eingangssignals in die Kondensatorzellenmatrix auf, und ist derart angeordnet, um das analoge Eingangssignal abzutasten, und ist ferner mit der Einrichtung zum Vergleichen verbunden, um das analoge Eingangssignal und das analoge Bitgewichtssignal zu der Einrichtung zum Vergleichen zu liefern.

[0037] Gemäß einer weiteren bevorzugten Weiterbildung werden die Wandlungsschritte durch ein Taktsignal gesteuert.

[0038] Gemäß einer weiteren bevorzugten Weiterbildung werden der untere Bitgewichtswert und der obere Bitgewichtswert einen Takt vor dem Auswählen in der Einrichtung zum Auswählen berechnet.

[0039] Gemäß einer weiteren bevorzugten Weiterbildung weist die Gruppe der binär codierten Bitgewichte bei einer 10-Bit-Wandlung Bitgewichte von 512, 256, 128, 64, 32, 16, 8, 4, 2, 1 mit 10 Wandlungsschritten, oder 478, 255, 136, 72, 38, 20, 11, 6, 4, 2, 1 mit 11 Wandlungsschritten oder 447, 251, 142, 80, 45, 25, 14, 8, 5, 3, 2, 1 mit 12 Wandlungsschritten auf.

[0040] Gemäß einer weiteren bevorzugten Weiterbildung weist die Einrichtung zum Speichern einen Nur-Lese-Speicher (ROM), einen Direktzugriffsspeicher (RAM), einen elektrisch löschbaren programmierbaren Nur-Lese-Speicher (EPROM) oder einen Dekoder auf.

[0041] Gemäß einer weiteren bevorzugten Weiterbildung weist die erste, zweite und dritte Einrichtung zum Zwischenspeichern jeweils ein Register auf, das durch das Taktsignal gesteuert wird.

[0042] Gemäß einer weiteren bevorzugten Weiterbildung weist die Einrichtung zum Auswählen einen digitalen Multiplexer auf.

[0043] Gemäß einer weiteren bevorzugten Weiterbildung weist die Einrichtung zum Vergleichen einen Komparator auf.

[0044] Gemäß einer weiteren bevorzugten Weiterbildung weist der Analog/Digital-Wandler ferner einen Pufferspeicher zum Zwischenspeichern und zum Ausgeben des binär codierten Datenworts auf.

[0045] Bevorzugte Ausführungsbeispiele der vorliegenden Erfindung sind nachfolgend unter Bezugnahme auf die beigefügten Zeichnungen näher erläutert.

[0046] Es zeigen:

[0047] Fig. 1 einen Analog/Digital-Wandler gemäß der vorliegenden Erfindung;

[0048] Fig. 2 ein Blockschaltbild eines Digital/Analog-Wandlers mit thermometer-codierten Steuersignalen zur Ansteuerung des Kondensatornetzwerkes;

[0049] Fig. 3 ein Schaltkreisdigramm einer Kondensatorzelle des Digital/Analog-Wandlers von Fig. 2;

[0050] Fig. 4 eine differentiell aufgebaute Kondensatorzelle;

[0051] Fig. 5 den prinzipiellen Aufbau eines bekannten Analog/Digital-Wandlers mit Wägeverfahren und mit sukzessiver Approximation; und

[0052] Fig. 6 einen bekannten Analog/Digital-Wandler mit redundantem Code.

[0053] Der oben zu einer Analog/Digital-Wandlung mit redundantem Code für den Start einer Wandlung beschriebene Vergleich mit etwas mehr als dem halben Referenzwert kann natürlich auch mit einem binär gewichteten Digital/Analog-Wandler durchgeführt werden, indem man den ersten Vergleich nicht mit dem halben Referenzwert sondern etwas mehr durchführt. Bei einem 10-Bit-Wandler wird beispielsweise der erste Vergleich nicht mit 512 (halber Referenzwert), sondern mit 577 ausgeführt. Ist der zu wandelnde Analogwert größer als 577, kann man annehmen, daß der Analogwert sicher größer als 447 ist. Beim nächsten Wandlungsschritt wird, je nachdem wie das Ergebnis des ersten Vergleichs war, mit 316 oder 763 ($447 + 316$) verglichen. Die Werte für den nächsten Wandlungsschritt, hier 316 und 763, können abhängig davon gewählt werden, wie groß der Fehler bei jedem Wandlungsschritt sein soll.

[0054] Da der Wandlungsablauf komplexer wird, kann die digitale Funktion nicht mehr durch ein Register mit sukzessiver Approximation, wie in Fig. 5 oder 6 gezeigt, realisiert werden. Bei einem konventionellen Analog/Digital-Wandler mit sukzessiver Approximation wird die digitale Steuerung wie bekannt durch ein Schieberegister realisiert, daß als Startwert 10000 ... aufweist. Die 1 wird bei jedem Wandlungsschritt weitergeschoben, und in die Stelle, an der die 1 gestanden hat, wird das Ergebnis des Vergleichs geschrieben. Bei einem redundanten Wandler wird als Startwert z. B. 10001000 ... verwendet, wobei bei jedem Schritt beide Einsen weitergeschoben werden.

[0055] Fig. 1 zeigt einen erfindungsgemäßen Analog/Digital-Wandler zum Umwandeln eines analogen Eingangssignals U_E in ein binär codiertes Datenwort DW während einer Zahl von Wandlungsschritten. Der Analog/Digital-Wandler 100 weist einen Speicher 102 zum Speichern von binär codierten Bitgewichten auf. Der Speicher 102 weist vorzugsweise einen Nur-Lese-Speicher (ROM; ROM = Read Only Memory), einen Direktzugriffsspeicher (RAM; RAM = Random Access Memory), einen elektrisch löschbaren programmierbaren Nur-Lese-Speicher (EPROM; EPROM = Erasable Programmable ROM) oder einen Dekoder auf.

[0056] In dem Speicher 102 sind mindestens ein minimales, ein mittleres und ein maximales binär codiertes Bitgewicht gespeichert. In dem Speicher 102 ist bei einer 10-Bit-Wandlung vorzugsweise eine Gruppe von Bitgewichten 512, 256, 128, 64, 32, 16, 8, 4, 2 und 1 gespeichert. Diese Gruppe von 10 Bitgewichten entspricht einem normalen binären Wandler und umfaßt 10 Wandlungsschritte bzw. bei einer Steuerung durch eine Taktfrequenz 10 Takte, die für die 10-Bit-Wandlung benötigt werden. Es kann alternativ eine Gruppe von 11 Bitgewichten 478, 255, 136, 72, 38, 20, 11, 6, 4, 2, 1, die einer 10-Bit-Wandlung mit 11 Wandlungsschritten entspricht, oder eine Gruppe von 12 Bitgewichten 447, 251, 142, 80, 45, 25, 14, 8, 5, 3, 2 und 1, die einer 10-Bit-Wandlung mit 12 Wandlungsschritten entspricht, verwendet werden. Die Bitgewichte sind in den Gruppen derart ausgewählt, daß bei der zuerst genannten Gruppe ein Fehler von $\pm 0\%$ bei jedem Wandlungsschritt, bei der zweitgenannten Gruppe ein Fehler von $\pm 7\%$ bei jedem Wandlungsschritt und bei der zuletzt genannten Gruppe ein Fehler von $\pm 14,5\%$ bei jedem Wandlungsschritt zugelassen wird. Die Gruppen der Bitgewichte können alleine oder zusammen in dem Speicher 102 gespeichert sein, um einen flexiblen Betrieb des Analog/Digital-Wandlers 100 zu ermöglichen. Die Erfindung stellt also eine digitale Lösung mit einer beliebigen Auswahl der Codes dar. Der Speicher 102 wird vorzugsweise durch eine Ablaufsteuerung angesteuert, und es werden die Bitgewichte darin selektiert, wobei die Ablaufsteuerung den Startpunkt in einer Gruppe von binär codierten Bitgewichten kennt. Es wird immer lediglich eine Gruppe von binär codierten Bitgewichten bzw. eine Bitgewichtfolge ausgewählt, und es werden nicht mehrere Bitgewichtfolgen parallel oder gemischt durchlaufen.

[0057] Der Analog/Digital-Wandler 100 weist ferner ein erstes Register 104 zum Speichern eines Wertes, das von einem Taktsignal CLK gesteuert wird und seinen gespeicherten Wert bei einer steigenden Taktfanke abgibt, oder eine andere Art eines zeitlich steuerbaren Zwischenspeichers auf. In dem ersten Register 104 wird ein unterer Bitgewichtwert UW während eines Wandlungsschrittes des Analog/Digital-Wandlers 100 bzw. Taktes des Signals CLK zwischengespeichert. Der Analog/Digital-Wandler 100 weist ferner ein zweites Register 106, das von dem Taktsignal CLK gesteuert wird und seinen gespeicherten Wert bei einer steigenden Taktfanke abgibt, oder einen anderen zeitlich steuerbaren Zwischenspeicher auf, in dem ein oberer Bitgewichtwert OW während eines Wandlungsschrittes bzw. Taktes des Taktsignals CLK zwischengespeichert wird. Der untere Bitgewichtwert UW und der obere Bitgewichtwert OW werden aus den Bitgewichten berechnet, die in dem Speicher 102 gespeichert sind.

[0058] Der Analog/Digital-Wandler 100 weist ferner einen Digital/Analog-Wandler 108, der wählbar entweder den unteren Bitgewichtwert UW des ersten Registers 104 oder den oberen Bitgewichtwert OW des zweiten Registers 106 in ein analoges Bitgewichtssignal U_{DA} während eines Wandlungsschrittes umwandelt auf. Der Digital/Analog-Wandler 108 ist vorzugsweise ein Digital/Analog-Wandler mit Kapazitätsnetzwerk und Thermometercodeansteuerung, der weiter unten in der Beschreibung und in der deutschen Patentanmeldung Nr. 100 52 944.5, "Digital/Analog-Wandler" der Anmelderin, die hierin durch Bezugnahme vollständig aufgenommen ist, beschrieben ist.

[0059] Der Analog/Digital-Wandler 100 weist ferner einen Komparator 110 zum jeweils Vergleichen des analogen Eingangssignals U_E mit dem analogen Bitgewichtssignal U_{DA} und zum Liefern eines Vergleichsergebnisses COMP während eines Wandlungsschrittes bzw. Taktes auf. Dem Komparator 110 folgt ein weiteres drittes Register 112 zum

jeweils Zwischenspeichern des Vergleichsergebnisses COMP des Komparators 110 während eines Wandlungsschrittes. Das dritte Register 112 kann jede andere Einrichtung zum Zwischenspeichern eines Werts aufweisen und wird ebenfalls über das Taktsignal CLK, vorzugsweise mit einer steigenden Flanke des Taktsignals, zeitlich gesteuert.

[0060] Der Analog/Digital-Wandler 100 weist ferner einen Multiplexer 114 oder eine andere Einrichtung zum Auswählen eines Signals aus einer Mehrzahl von Signalen auf. Der Multiplexer 114 ist einerseits derart angeordnet, um während eines Wandlungsschrittes jeweils den oberen Bitgewichtwert OW, der in dem zweiten Register 106 zwischengespeichert ist, auszuwählen und an einem Ausgang 116 des Multiplexers 114 auszugeben, wenn das Vergleichsergebnis COMP, das in dem dritten Register 112 zwischengespeichert ist, anzeigt, daß das analoge Eingangssignal U_E des Analog/Digital-Wandlers 100 größer als das analoge Bitgewichtssignal U_{DA} des Digital/Analog-Wandlers 108 ist. Der Multiplexer 114 ist andererseits derart angeordnet, um während eines Wandlungsschrittes jeweils den unteren Bitgewichtwert UW, der in dem ersten Register 104 zwischengespeichert ist, auszuwählen und an dem Ausgang 116 des Multiplexers 114 auszugeben, wenn das Vergleichsergebnis COMP, das in dem dritten Register 112 zwischengespeichert ist, anzeigt, daß das analoge Eingangssignal U_E kleiner als das analoge Bitgewichtssignal U_{DA} ist.

[0061] Der Multiplexer 114 liefert daher während eines Wandlungsschrittes jeweils einen aus dem oberen Bitgewichtwert OW und dem unteren Bitgewichtwert UW ausgewählten Bitgewichtwert AW an dem Ausgang 116 desselben. Der Multiplexer 114 ist dazu vorzugsweise über Verbindungen 118 und 120 mit dem ersten Register 104 bzw. dem zweiten Register 106 und über eine Verbindung 122 mit dem dritten Register 112 verbunden.

[0062] Der Analog/Digital-Wandler 100 weist ferner einen Subtrahierer 124 und einen Addierer 126 auf. Der Subtrahierer 124 subtrahiert während eines Wandlungsschrittes jeweils ein binär codiertes Bitgewicht BG von dem durch den Multiplexer 114 ausgewählten Bitgewichtwert AW, um einen neuen unteren Bitgewichtwert UW zu erzeugen. Das subtrahierte binär codierte Bitgewicht BG, z. B. 256, ist ein zu dem binär codierten Bitgewicht eines vorhergehenden Wandlungsschrittes, z. B. 512, nächstkleineres binär codiertes Bitgewicht einer Gruppe, z. B. 512, 256, 128, ..., von binär codierten Bitgewichten. Der ausgewählte Bitgewichtwert AW ist der durch den Multiplexer 114 ausgewählte Bitgewichtwert AW eines vorhergehenden Wandlungsschrittes. Der Subtrahierer 114 liefert an einem Ausgang desselben nach der Subtraktion daher einen neuen unteren Bitgewichtwert UW.

[0063] Der Addierer 126 addiert während eines Wandlungsschrittes jeweils das binär codierte Bitgewicht BG, daß das nächstkleineren binär codierte Bitgewicht, z. B. 256, zu dem binär codierten Bitgewicht, z. B. 512, eines vorhergehenden Wandlungsschrittes ist, zu dem neuen unteren Bitgewichtwert UW des Subtrahierers 124, um einen neuen oberen Bitgewichtwert OW während eines Wandlungsschrittes zu liefern.

[0064] Der Analog/Digital-Wandler 100 weist zum Auslesen von binär codierten Bitgewichten BG vorzugsweise ferner eine Einrichtung zum Auslesen eines binär codierten Bitgewichts BG aus dem Speicher 102 und zum Liefern des ausgelesenen binär codierten Bitgewichts BG zu dem Subtrahierer 124 und dem Addierer 126 auf.

[0065] Damit die Wandlungsgeschwindigkeit des Analog/Digital-Wandlers 100 nicht durch die Berechnung der digitalen Werte verringert wird, werden der untere Bitgewichtwert UW und der obere Bitgewichtwert OW, mit denen ver-

glichen werden soll, einen Wandlungsschritt bevor sie gebraucht werden berechnet. Je nach Ergebnis des Vergleichs des Komparators 110 wird über den digitalen Multiplexer 114 ein Wert dieser Bitgewichtswerte für den nächsten Vergleich ausgewählt und der andere wird verworfen.

[0066] Der Analog/Digital-Wandler 100 weist ferner eine Einrichtung 128 zum Zwischenspeichern und Ausgeben eines binär codierten Datenworts DW bei dem letzten Wandlungsschritt einer Mehrzahl von Wandlungsschritten auf, wobei das binär codierte Datenwort DW dem ausgewählten Bitgewichtswert AW bei dem letzten Wandlungsschritt entspricht. Die Einrichtung 128 weist dazu vorzugsweise ein Latch bzw. einen Pufferspeicher auf.

[0067] Beim Beginn des Betriebs des Analog/Digital-Wandlers 100 befindet sich in dem ersten und zweiten Register 104, 106 ein Startwert. Liegt beispielsweise ein 10-Bit-Wandler mit zehn Takten bzw. Wandlungsschritten und binär codierten Bitgewichten 512, 256, 128, 64, 32, 16, 8, 4, 2, 1, vor, beginnt man für einen Kaltstart, bei dem man keine Vorkenntnisse über den zu wandelnden analogen Wert U_E besitzt, mit dem halben maximalen Bitgewicht 256. Dieser Wert ist zu Beginn der A/D-Wandlung in den Registern 104 und 106 vorhanden bzw. die Register sind darauf initialisiert. In den Registern 104 und 106 kann alternativ der Wert der letzten Analog/Digital-Wandlung gespeichert sein, um einen Warmstart des Analog/Digital-Wandlers und damit eine höhere Wandlungsgeschwindigkeit zu ermöglichen.

[0068] Zum Initialisieren der Register 104, 106 weist der Analog/Digital-Wandler 100 vorzugsweise eine Einrichtung zum Initialisieren des unteren Bitgewichtswerts UW in dem ersten Register 104 und des oberen Bitgewichtswerts OW in dem zweiten Register 106 auf. Die Einrichtung zum Initialisieren ist für einen Kaltstart derart angeordnet, daß dieselbe den unteren Bitgewichtswert UW und den oberen Bitgewichtswert OW zu Beginn des ersten Wandlungsschritts auf das mittlere binär codierte Bitgewicht einer Gruppe von binär codierten Bitgewichten initialisiert, und die Einrichtung zum Auslesen von binär codierten Bitgewichten aus dem Speicher 102 ist derart angeordnet, um das maximale binär codierte Bitgewicht während des ersten Wandlungsschritts auszulesen.

[0069] Die Einrichtung zum Initialisieren ist für einen Warmstart derart angeordnet, daß dieselbe den unteren Bitgewichtswert UW und den oberen Bitgewichtswert OW zu Beginn des ersten Wandlungsschritts auf das binär codierte Datenwort DW einer vorhergehenden Wandlung initialisiert, und die Einrichtung zum Auslesen von binär codierten Bitgewichten aus dem Speicher 102 ist derart angeordnet, daß dieselbe ein binär codiertes Bitgewicht BG während des ersten Wandlungsschritts aus dem Speicher 102 ausliest, das einem unteren Bitgewichtswert UW und einem oberen Bitgewichtswert OW zugeordnet ist, die sich in der Nähe des binär codierten Datenworts der vorhergehenden Wandlung befinden.

[0070] Durch den digitalen Aufbau des Analog/Digital-Wandlers ist es daher möglich, den Startwert der Wandlung auf das Ergebnis der letzten Wandlung zu setzen. Die sukzessive Approximation muß dann nicht über den gesamten Wandlungsbereich durchgeführt werden. Dadurch kann mit weniger Wandlungsschritten die Umsetzrate gesteigert werden und der Leistungsverbrauch verringert werden.

[0071] Da bei den einzelnen Wandlungsschritten nicht nur wie bei einem konventionellen Wandler mit sukzessiver Approximation (SAR), maximal ein Referenzelement, wie z. B. eine Kapazität, dazu und ein Referenzelement weggeschaltet werden soll, um den neuen Vergleichswert über den Digital/Analog-Wandler 108 zu erzeugen, ist der Digital/Analog-Wandler 108 vorzugsweise derart ausgeführt, daß

der binäre Code an dem Eingang desselben in einen Thermometercode umgewandelt wird. Ein solcher Digital/Analog-Wandler ist im folgenden (Fig. 2 bis 4) und in der oben angegebenen deutschen Patentanmeldung Nr. 100 52 944.5 der Anmelderin beschrieben. Dadurch werden, wenn der binäre Code größer wird, im Digital/Analog-Wandler nur Kapazitäten dazugeschaltet und keine Kapazitäten weggeschaltet, wodurch die Monotonie des Digital/Analog-Wandlers garantiert ist und die Belastung der Referenzspannung minimal wird, da ja bei jedem Umladen eines Kondensators die Referenzspannungsquelle belastet wird.

[0072] Fig. 2 zeigt einen Digital/Analog-Wandler mit Kapazitätsnetzwerk und einer Thermometercodeansteuerung, der bei der vorliegenden Erfindung für den Digital/Analog-Wandler 108 von Fig. 1 vorzugsweise verwendet wird.

[0073] Wie man aus Fig. 2 erkennen kann, weist der Digital/Analog-Wandler 1 einen digitalen Signaleingang 2 und einen analogen Signalausgang 3 auf. Über den digitalen Signaleingang 2 wird über Datenleitungen 4 ein $n + m$ Bit breites Datenwort in einen Zwischenspeicher 5 eingeschrieben. Das umzuwandelnde digitale Datenwort D besteht bei dem in Fig. 2 gezeigten Beispiel aus sechs Bit. Der Digital/Analog-Wandler 1 enthält eine erste Codiereinrichtung 6, die die n höherwertigen Datenbits des umzuwandelnden Datenwortes D enthält und in ein 2^n Bit breites thermometercodiertes Spaltensteuersignal umcodiert, das über Spaltensteuerleitungen 8 an eine Kondensatorzellenmatrix 9 angelegt ist.

[0074] Die niederwertigen m Datenbits d des umzuwandelnden digitalen Datenwortes D werden über m Datenleitungen 10 an eine zweite Codiereinrichtung 11 angelegt, die die m niederwertigen Datenbits des umzuwandelnden Datenwortes D in ein 2^m Bit breites thermometercodiertes Zeilensteuersignal umcodiert, das über 2^m Zeilensteuerleitungen 12 an die Kondensatorzellenmatrix 9 angelegt wird.

[0075] Bei dem in Fig. 2 dargestellten Ausführungsbeispiel beträgt die Zahl m der niederwertigen Datenbits drei und die Zahl n der höherwertigen Datenbits ebenfalls drei, so dass die Kondensatorzellenmatrix 9 über acht Spaltensteuerleitungen 8 und über acht Zeilensteuerleitungen 12 angesteuert wird. Die Kondensatorzellenmatrix 9 enthält matrixförmig in acht Spalten und acht Zeilen angeordnete Kondensatorzellen 13_{ij}. Bei dem in Fig. 2 dargestellten Ausführungsbeispiel enthält die Kondensatorzellenmatrix 9 somit 64 Kondensatorzellen 13.

[0076] Die Kondensatorzellenmatrix 9 wird über eine Versorgungsspannungsleitung 14 mit einer Versorgungsspannung VDD mit Spannung versorgt. Die in der Kondensatorzellenmatrix 9 enthaltenen Kondensatorzellen 13 erhalten über Leitungen 15, 16 Referenzspannungen V_p und V_n , die an Referenzspannungsanschlüssen 17, 18 des Digital/Analogwandlers 1 angelegt werden.

[0077] Fig. 3 zeigt den Aufbau einer in der Kondensatorzellenmatrix 9 enthaltenen Kondensatorzelle 13 gemäss der Erfindung.

[0078] Die Kondensatorzelle 13 enthält einen lokalen Dekoder 19, der über Steueranschlüsse 20, 21, 22 Steuersignale von den Codiereinrichtungen 6, 11 über die Spaltensteuerleitungen 8 und die Zeilensteuerleitungen 12 empfängt und decodiert. Die in der Kondensatorzelle 13_{ij} enthaltene lokale Decodierschaltung 19_{ij} weist ferner Ausgänge 23, 24 zur Ansteuerung von Schaltern auf. Bei der in Fig. 3 gezeigten Ausführungsform enthält die lokale Decodierschaltung 19_{ij} eine erste logische Schaltung 25 zur logischen NAND-Verknüpfung des an der i -ten Spaltensteuerleitung 81 anliegenden Signals und des an der j -ten Zeilensteuerleitung 12_j anliegenden Signals. Die lokale Decodierschaltung 19_{ij} enthält ferner eine zweite logische Schaltung 26 zur logischen In-

vertierung des an der i-1-ten Spaltensteuerleitung 8_{i-1} anliegenden Steuersignals, wobei die von der ersten und zweiten logischen Schaltung abgegebenen Signale durch eine dritte logische Schaltung 27 logisch NAND-verknüpft werden. Das Ausgangssignal der dritten logischen Schaltung 27 wird über eine Leitung 28 direkt an den Steuerausgang 23 zur lokalen Decodierschaltung 19 oder durch eine Inverterschaltung 29 invertiert an einen zweiten Steuerausgang 24 der lokalen Decodierschaltung 19 abgegeben. Die drei logischen Schaltungen 25, 26, 27 der lokalen Decodierschaltung 19 werden bei der in Fig. 3 gezeigten Ausführungsform durch NAND-Gatter gebildet.

[0079] Die Kondensatorzelle 13 besitzt neben der lokalen Decodierschaltung 19 zwei Kondensatoren 30, 31, die die gleiche Kapazität aufweisen. Die beiden Kondensatoren 30, 31 besitzen jeweils einen ersten Anschluss 32, 33 und einen gemeinsamen zweiten Anschluss 34a, der mit einem gemeinsamen Potentialknoten 35a der Kondensatorzellenmatrix 9 verbunden ist. An dem Potentialknoten 35a der Kondensatorzellenmatrix 9 sind alle Kondensatoren der Kondensatorzellenmatrix 9 angeschlossen.

[0080] Der erste Kondensator 30 der Kondensatorzelle 13 ist über einen steuerbaren Schalter 34 an eine negative Referenzspannung V_n schaltbar und über einen steuerbaren Schalter 35 an eine positive Referenzspannung V_p schaltbar. Der zweite Kondensator 31 der Kondensatorzelle 13 ist über einen steuerbaren Schalter 36 an die positive Referenzspannung V_p und über einen steuerbaren Schalter 37 an die negative Referenzspannung V_n schaltbar.

[0081] Die Schalter 34, 36 werden über Steuerleitungen 38, 39 von dem Steuerausgang 23 der lokalen Decodierschaltung 19 angesteuert. Die Schalter 35, 37 werden über Steuerleitungen 40, 41 von dem zweiten Steuerausgang 24 der lokalen Decodierschaltung 19 angesteuert. Die beiden Kondensatoren 30, 31 werden durch die lokale Decodierschaltung 19 an entgegengesetzte Referenzspannungen V_p , V_n angelegt.

[0082] Fig. 4 zeigt eine bevorzugte Ausführungsform einer in der Kondensatorzellenmatrix 9 enthaltenen Kondensatorzelle 13_{ij} gemäss der Erfindung.

[0083] Die in Fig. 4 dargestellte Kondensatorzelle 13_{ij} ist voll differentiell aufgebaut. Dabei wird die Kondensatorzelle über einen Versorgungsspannungsanschluss 42 mit einer Versorgungsspannung V_{DD} versorgt. Die Kondensatorzelle enthält eine Pegelwandlerschaltung 43, die bei der in Fig. 4 gezeigten Ausführungsform zwei PMOS-Feldeffekttransistoren 44, 45 aufweist. Die lokale Decodierschaltung 19_{ij} der Kondensatorzelle 13_{ij} ist ebenfalls voll-differentiell aufgebaut und enthält eine erste Decodiereinrichtung 19a und eine zweite Decodiereinrichtung 19b.

[0084] Die erste Decodiereinrichtung 19a steuert in Abhängigkeit von dem an den Steuersignalanschlüssen 20a, 21a, 22a anliegenden thermometer-codierten Steuersignalen, die von den Codiereinrichtungen 6, 11 stammen, die Schalter 34, 35, die mit dem ersten Kondensator 30 der differentiell aufgebauten Kondensatorzelle 13 verbunden sind.

[0085] Die zweite Decodiereinrichtung 19b steuert in Abhängigkeit von dem an den Steueranschlüssen 20b, 21b, 22b anliegenden invertierten thermometer-codierten Steuersignalen die Schalter 36, 37, die mit dem zweiten Kondensator 31 der differentiell aufgebauten Kondensatorzelle 13_{ij} verbunden sind. Die steuerbaren Schalter 34, 35, 36, 37 sind bei der in Fig. 4 gezeigten bevorzugten Ausführungsform aus zwei komplementären MOSFET-Transistoren aufgebaut. Dabei ist der Schalter 34 und der Schalter 37 an einen Referenzspannungsanschluss 46 der Kondensatorzelle 13 zum Anlegen einer negativen Referenzspannung angeschlossen. Die steuerbaren Schalter 35, 36 sind an einen

zweiten Referenzspannungsanschluss 47 der Kondensatorzelle 13 zum Anlegen einer positiven Referenzspannung V_p angeschlossen.

[0086] Die Decodiereinrichtungen 19a, 19b der differentiell aufgebauten lokalen Decodierschaltung 19 weisen jeweils drei MOS-Feldeffekttransistoren 49, 50 auf. Das an dem Steuereingang 20a anliegende Signal des von der Codiereinrichtung 6 über die i-1-te-Spaltensteuerleitung abgegebene Signal wird durch den NMOS-Feldeffekttransistor 48a invertiert. Durch die beiden Feldeffekttransistoren 49a, 50a werden die an den Steueranschlüssen 21, 22 anliegenden Steuersignale der i-ten Spaltensteuerleitung und der j-ten Zeilensteuerleitung 12 miteinander logisch NAND-verknüpft.

[0087] Die Spaltensteuerleitungen 8 und die Zeilensteuerleitungen 12 sind ebenfalls differentiell aufgebaut, d. h. wenn die Steuerleitung 8 von einem logisch niedrigen Wert 0 auf einen logisch hohen Wert 1 übergeht, geht die dazu komplementäre Leitung 8^T von dem logischen Wert 1 auf den logischen Wert 0 über. Hierdurch werden kapazitive Einkopplungen kompensiert.

[0088] Die in Fig. 4 gezeigte Ausführungsform hat aufgrund der Pegelwandlerschaltung 43 den Vorteil, dass die Spannungshübe an den Steuerleitungen 8, 12 kleiner sein können als die Spannungshübe an den Kondensatoren 30, 31 der Kondensatorzelle 13. Die Kodierschaltung 19 wird beispielsweise von Steuersignalen gesteuert, die einen Spannungshub von 1,8 Volt besitzen, während die Kondensatoren 30, 31 mit einer Versorgungsspannung V_{DD} entsprechenden Spannungshub von beispielsweise 3,3 Volt aufgeladen werden können.

[0089] Die Kondensatorzellen 13 der Kondensatorzellenmatrix 9 innerhalb des erfindungsgemäßen Digital/Analogwandlers werden vorzugsweise in CMOS-Technologie hergestellt.

[0090] Bei dem Digital/Analog-Wandler 1 wird die Kondensatorzellenmatrix 9 mit zwei thermometer-codierten Steuersignalen angesteuert, die durch die beiden Codiereinrichtungen 6, 11 erzeugt werden. Die beiden Codiereinrichtungen 6, 11 führen eine Umcodierung von binär codierten Datenbits des umzuwandelnden Datenwortes in einen Thermometercode um, wobei jede Codiereinrichtung 6, 11 vorzugsweise die Hälfte der umzuwandelnden Datenbits umcodiert. Die letztendliche Codierung erfolgt in dem Kapazitätsnetzwerk 9 durch die in den Kondensatorzellen 13 enthaltenen lokalen Decodierschaltungen 19. Die Steuerleitungen 8, 12 sind zur Kompensation von kapazitiven Einkopplungen differentiell aufgebaut.

[0091] Aufgrund der Verwendung von thermometer-codierten Steuersignalen wird die differentielle Nichtlinearität DNL des erfindungsgemäßen Digital/Analog-Wandlers 1 erheblich abgesenkt, da bei einem Übergang von einem Digitalwert zu dem nächsten Digitalwert lediglich eine Kondensatorzelle 13 des Kondensatornetzwerkes 9 an- oder ausgeschaltet wird und somit die Auswirkungen von Matchingfehlern erheblich geringer sind.

[0092] Der Vorteil der sehr geringen Leistungsaufnahme des erfindungsgemäßen Analog/Digital-Wandlers kann noch vergrößert werden, wenn man eine Einschränkung der Slew-Rate bzw. der Anstiegsrate der zu wandelnden Eingangswerte in Kauf nimmt. Bei einem Nyquist-Wandler geht man davon aus, daß sich das zu wandelnde Signal beliebig von einer Abtastung zu der nächsten Abtastung ändern kann. Bei einer Überabtastung kann jedoch die Genauigkeit gesteigert werden und die Einschränkung gemacht werden, daß sich das analoge Eingangssignal U_E von einer Abtastung zu der nächsten Abtastung nur um eine bestimmte Anzahl von LSB ändert. Wenn die Register 104,

106 des Analog/Digital-Wandlers 102 von Fig. 1 bei einer neuen Wandlung nicht zurückgesetzt werden, kann der neue zu wandelnde Wert zuerst mit dem letzten gewandelten Wert verglichen werden. Läßt man nun beispielsweise die ersten vier Wandlungsschritte wegfallen und vergleicht man beim nächsten Schritt mit einem Wert, der je nach Ergebnis des ersten Schritts um 38 LSB größer oder kleiner ist, beschränkt man zwar die mögliche Slew-Rate auf diese 38 LSB, dafür ist aber die Wandlung aufgrund der vier weggefallenen Schritte schneller und vor allem muß bei jeder Wandlung sowohl der Treiber für die analoge Eingangsspannung als auch der Treiber für die Referenzspannung lediglich diesen 38 LSB-Anteil vom Gesamtbereich umladen, wodurch sehr viel Verlustleistung gespart werden kann.

[0093] Es sei ferner bemerkt, daß die Kapazitäten des Digital/Analog-Wandlers der Fig. 2 bis 4 auch als Abtast-Halte-Kapazitäten dienen können, wobei bei der Wandlung durch die Thermometercodeansteuerung maximal die Ladung benötigt wird, um das Kapazitätsnetzwerk einmal umzuladen.

[0094] Obwohl die vorliegende Erfindung vorstehend anhand eines bevorzugten Ausführungsbeispiels beschrieben ist, ist dieselbe darauf nicht beschränkt, sondern auf vielfältige Art und Weise modifizierbar.

Bezugszeichenliste

100 Analog/Digital-Wandler
 102 Speicher
 104 erstes Register
 106 zweites Register
 108 Digital/Analog-Wandler
 110 Komparator
 112 drittes Register
 114 Multiplexer
 116 Ausgang von 114
 118 Verbindung
 120 Verbindung
 122 Verbindung
 124 Subtrahierer
 126 Addierer
 128 Einrichtung zum Zwischenspeichern
 1 Digital/Analog-Wandler
 2 Digitaler Dateneingang
 3 Analoger Signalausgang
 4 Datenleitungen
 5 Zwischenspeicher
 6 erste Codiereinrichtung
 7 Leitungen
 8 Spaltensteuerleitungen
 9 Kondensatorzellenmatrix
 10 Leitungen
 11 zweite Codiereinrichtung
 12 Zeilensteuerleitungen
 13 Kondensatorzelle
 14 Spannungsversorgungsleitung
 15 Leitung
 16 Leitung
 17 Referenzspannungsanschluss
 18 Referenzspannungsanschluss
 19 lokale Decodierschaltung
 20 Steueranschluss
 21 Steueranschluss
 22 Steueranschluss
 23 Steuerausgang
 24 Steuerausgang
 25 Logische Schaltung
 26 Logische Schaltung

27 Logische Schaltung
 28 Leitung
 29 Invertierer
 30 Kondensator
 31 Kondensator
 34a Knoten
 35a Knoten
 34 Schalter
 35 Schalter
 36 Schalter
 37 Schalter
 38 Steuerleitung
 39 Steuerleitung
 40 Steuerleitung
 41 Steuerleitung
 42 Versorgungsspannungsanschluss
 43 Pegelwandlerschaltung
 44 PMOS-Feldeffekttransistor
 45 PMOS-Feldeffekttransistor
 46 Referenzspannungsanschluss
 47 Referenzspannungsanschluss
 48 NMOS-Feldeffekttransistor
 49 NMOS-Feldeffekttransistor
 50 NMOS-Feldeffekttransistor
 500 Analog/Digital-Wandler
 502 Abtast-Halte-Glied
 504 Komparator
 506 Digital/Analog-Wandler
 508 Register
 600 Analog/Digital-Wandler
 602 Anordnung
 604 Referenzkapazitäten
 606 Schalter
 608 Komparator
 610 Eingang
 612 Eingang
 614 Schalter
 616 Schalter
 618 Register
 620 Addierer
 622 Speicher
 624 Akkumulator Register

Patentansprüche

1. Analog/Digital-Wandler (100) zum Umwandeln eines analogen Eingangssignals (U_E) in ein binär codiertes Datenwort (DW) während einer Zahl von Wandlungsschritten, mit:
 - a) einer Einrichtung (102) zum Speichern von mindestens einer Gruppe von binär codierten Bitgewichten (BG), die mindestens ein maximales, ein mittleres und ein minimales binär codiertes Bitgewicht aufweist, wobei die Zahl der Wandlungsschritte der Zahl der binär codierten Bitgewichte (BG) in der Gruppe von binär codierten Bitgewichten entspricht;
 - b) einer ersten Einrichtung (104) zum jeweils Zwischenspeichern eines unteren Bitgewichtswerts (UW) während eines Wandlungsschritts;
 - c) einer zweiten Einrichtung (106) zum jeweils Zwischenspeichern eines oberen Bitgewichtswerts (OW) während eines Wandlungsschritts;
 - d) einem Digital/Analog-Wandler (108) zum jeweils Umwandeln des oberen oder unteren Bitgewichtswerts (UW, OW) in ein analoges Bitgewichtssignal (U_{DA}) während eines Wandlungsschritts;

- e) einer Einrichtung (110) zum jeweils Vergleichen des analogen Eingangssignals (U_E) mit dem analogen Bitgewichtssignal (U_{DA}) und zum jeweils Liefern eines Vergleichsergebnisses (COMP) während eines Wandlungsschritts;
- f) einer dritten Einrichtung (112) zum jeweils Zwischenspeichern des Vergleichsergebnisses (Comp) während eines Wandlungsschritts;
- g) einer Einrichtung (112) zum jeweils Auswählen des oberen Bitgewichtswerts (OW), wenn das Vergleichsergebnis (COMP) anzeigt, dass das analoge Eingangssignal (U_E) größer als das analoge Bitgewichtssignal (U_{DA}) ist, und Auswählen des unteren Bitgewichtswerts (UW), wenn das Vergleichsergebnis (COMP) anzeigt, dass das analoge Eingangssignal (U_E) kleiner als das analoge Bitgewichtssignal (U_{DA}) ist, und zum jeweils Liefern des ausgewählten oberen oder unteren Bitgewichtswerts (AW) während eines Wandlungsschritts;
- h) einer Einrichtung (124) zum jeweils Subtrahieren eines zu dem binär codierten Bitgewicht (BG) eines vorhergehenden Wandlungsschritts nächst kleineren binär codierten Bitgewichts der Gruppe von binär codierten Bitgewichten von dem ausgewählten oberen oder unteren Bitgewichtswert (AW) eines vorhergehenden Wandlungsschritts, um jeweils einen neuen unteren Bitgewichtswert (UW) während eines Wandlungsschritts zu liefern;
- i) einer Einrichtung (126) zum jeweils Addieren des zu dem binär codierten Bitgewicht (BG) eines vorhergehenden Wandlungsschritts nächst kleineren binär codierten Bitgewichts zu dem neuen unteren Bitgewichtswert (UW) während eines Wandlungsschritts, um jeweils einen neuen oberen Bitgewichtswert (OW) während eines Wandlungsschritts zu liefern; und
- j) einer Einrichtung (128) zum Ausgeben des bei dem letzten Wandlungsschritt der Mehrzahl von Wandlungsschritten ausgewählten oberen oder unteren Bitgewichtswerts (AW) als das binär codierte Datenwort (DW).
2. Analog/Digital-Wandler (100) nach Anspruch 1, dadurch gekennzeichnet, dass der Analog/Digital-Wandler (100) ferner eine Einrichtung zum Initialisieren des unteren Bitgewichtswerts (UW) in der ersten Einrichtung (104) zum Zwischenspeichern und des oberen Bitgewichtswerts (OW) in der zweiten Einrichtung (106) zum Zwischenspeichern aufweist.
3. Analog/Digital-Wandler (100) nach Anspruch 1 oder 2, dadurch gekennzeichnet, dass der Analog/Digital-Wandler (100) ferner eine Einrichtung zum Auslesen eines binär codierten Bitgewichts (BG) aus der Einrichtung (102) zum Speichern und zum Liefern des ausgelesenen binär codierten Bitgewichts zu der Einrichtung (124) zum Subtrahieren und der Einrichtung (126) zum Addieren aufweist.
4. Analog/Digital-Wandler (100) nach Anspruch 3, dadurch gekennzeichnet, dass die Einrichtung zum Initialisieren den unteren und den oberen Bitgewichtswert (UW, OW) zu Beginn des ersten Wandlungsschritts auf das mittlere binär codierte Bitgewicht der Gruppe von binär codierten Bitgewichten initialisiert, und die Einrichtung zum Auslesen das maximale binär codierte Bitgewicht während des ersten Wandlungsschritts ausliest.
5. Analog/Digital-Wandler (100) nach Anspruch 3, da-

durch gekennzeichnet, dass die Einrichtung zum Initialisieren den unteren und den oberen Bitgewichtswert (UW, OW) zu Beginn des ersten Wandlungsschritts auf das binär codierte Datenwort (DW) einer vorhergehenden Wandlung initialisiert, und die Einrichtung zum Auslesen ein binär codiertes Bitgewicht (BG) während des ersten Wandlungsschritts ausliest, das einem oberen und unteren Bitgewichtswert zugeordnet ist, die sich in der Nähe des binär codierten Datenworts der vorhergehenden Wandlung befinden.

6. Analog/Digital-Wandler (100) nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass der Digital-Analog-Wandler (108)

(a) eine Kondensatorzellenmatrix (9), die aus matrixförmig in Spalten und Zeilen angeordneten Kondensatorzellen besteht, welche über Steuerleitungen durch thermometer-codierte Steuersignale angesteuert werden;

(b) eine erste Codiereinrichtung (6) zum Umcodierung der n höherwertigen Datenbits des umzuwandelnden Bitgewichtswerts in ein 2^n Bit breites thermometer-codiertes Spalten-Steuersignal, das über Spaltensteuerleitungen (8) an die Kondensatorzellenmatrix (9) angelegt wird;

(c) eine zweite Codiereinrichtung (11) zur Umcodierung der m niederwertigen Datenbits des umzuwandelnden Bitgewichtswerts in ein 2^m Bit breites thermometer-codiertes Zeilensteuersignal, das über Zeilensteuerleitungen (12) an die Kondensatorzellenmatrix (9) angelegt wird;

(d) wobei jede Kondensatorzelle (13_{ij}) der Kondensatorzellenmatrix (9) jeweils eine zugehörige lokale Decodierschaltung (19_{ij}) aufweist, die in Abhängigkeit von dem thermometer-codierten Zeilensteuersignal und dem thermometer-codierten Spaltensteuersignal Schalter (34, 35, 36, 37) ansteuert, die mindestens einen in der Kondensatorzelle (13_{ij}) enthaltenen Kondensator (30, 31) an verschiedene Referenzspannungen (V_p , V_n) durchschalten.

7. Analog/Digital-Wandler (100) nach Anspruch 6, dadurch gekennzeichnet, dass die lokale Decodierschaltung (19_{ij}) der in der i-ten Spalte und der j-ten Zeile angeordneten Kondensatorzelle (13_{ij}) des Digital/Analog-Wandlers (108)

eine erste logische Schaltung (25) zur logischen NAND-Verknüpfung des an der i-ten Spaltensteuerleitung (8_i) und des an der j-ten Zeilensteuerleitung (12_j) anliegenden Signals,

eine zweite logische Schaltung (26) zur logischen Invertierung des an der i-ten Spaltensteuerleitung (8_{i-1}) anliegenden Signals und

eine dritte logische Schaltung (27) zur logischen NAND-Verknüpfung der Ausgangssignale der ersten logischen Schaltung (25) und der zweiten logischen Schaltung (26) zu einem lokalen Steuersignal für die Schalter (34, 35, 36, 37) der Kondensatorzelle (13_{ij}) aufweist.

8. Analog/Digital-Wandler (100) nach Anspruch 6 oder 7, dadurch gekennzeichnet, dass die Kondensatorzellen (13_{ij}) der Kondensatorzellenmatrix (9) des Digital/Analog-Wandlers (108) differentiell (9) aufgebaut sind.

9. Analog/Digital-Wandler (100) nach Anspruch 6, 7 oder 8, dadurch gekennzeichnet, dass die Kondensatorzelle (13_{ij}) des Digital/Analog-Wandlers (108) zwei Kondensatoren (30, 31) mit gleicher Kapazität aufweist, die jeweils über zwei zugehörige Schalter (34,

35; 36, 37) an eine positive Referenzspannung (V_p) oder eine negative Referenzspannung (V_n) schaltbar sind.

10. Analog/Digital-Wandler (100) nach einem der Ansprüche 6 bis 9, dadurch gekennzeichnet, dass die lokale Decodierschaltung (19_{ij}) des Digital/Analog-Wandlers (108) differentiell aufgebaut ist.

11. Analog/Digital-Wandler (100) nach einem der Ansprüche 6 bis 10, dadurch gekennzeichnet, dass die lokale Decodierschaltung (19_{ij}) des Digital/Analog-Wandlers (108) eine erste Decodiereinrichtung (19a), die in Abhängigkeit von den anliegenden thermometer-codierten Steuersignalen die Schalter (34, 35) des ersten Kondensators (30) der differentiell aufgebauten Kondensatorzelle (13_{ij}) ansteuert, und eine zweite Decodiereinrichtung (1%) aufweist, die in Abhängigkeit von den anliegenden invertierten thermometer-codierten Steuersignalen die Schalter (36, 37) des zweiten Kondensators (31) der differentiell aufgebauten Kondensatorzelle (13_{ij}) ansteuert.

12. Analog/Digital-Wandler (100) nach einem der Ansprüche 6 bis 11, dadurch gekennzeichnet, dass die Kondensatoren (30, 31) der Kondensatorzellen (13_{ij}) des Digital/Analog-Wandlers (108) jeweils einen ersten Anschluss (32, 33), der mit zwei steuerbaren Schaltern (34, 35, 36, 37) zum Schalten an eine positive und eine negative Referenzspannung (V_p , V_n) verbunden ist, und einen zweiten Anschluss aufweisen, der mit einem gemeinsamen Potentialknoten (35a) der Kondensatorzellenmatrix (9) verbunden ist.

13. Analog/Digital-Wandler (100) nach einem der Ansprüche 6 bis 12, dadurch gekennzeichnet, dass der gemeinsame Potentialknoten (35a) der Kondensatorzellenmatrix (9) des Digital/Analog-Wandlers (108) mit einem Signalausgang (3) des Digital/Analog-Wandlers (108) zur Abgabe des analogen Ausgangssignals verbunden ist.

14. Analog/Digital-Wandler (100) nach einem der Ansprüche 6 bis 13, dadurch gekennzeichnet, dass die lokale Decodierschaltung (19_{ij}) des Digital/Analog-Wandlers (108) über eine Pegelwandlerschaltung (43) zur Erhöhung des Spannungshubs an den Kondensatoren (30, 31) mit einer Versorgungsspannung (V_{DD}) versorgt wird.

15. Analog/Digital-Wandler (100) nach einem der Ansprüche 6 bis 14, dadurch gekennzeichnet, dass die Steuerleitungen (8, 12) des Digital/Analog-Wandlers (108) differentiell aufgebaut sind.

16. Analog/Digital-Wandler (100) nach einem der Ansprüche 6 bis 15, dadurch gekennzeichnet, dass der Digital/Analog-Wandler (108) ferner einen Puffer zum Einlesen der Referenzspannungen (V_p , V_n) oder des analogen Eingangssignals in die Kondensatorzellenmatrix aufweist und derart angeordnet ist, um das analoge Eingangssignal abzutasten, und ferner mit der Einrichtung zum Vergleichen verbunden ist, um das analoge Eingangssignal und das analoge Bitgewichtssignal zu der Einrichtung zum Vergleichen zu liefern.

17. Analog/Digital-Wandler (100) nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass die Wandlungsschritte durch ein Taktsignal (CLK) gesteuert werden.

18. Analog/Digital-Wandler (100) nach Anspruch 17, dadurch gekennzeichnet, dass der untere Bitgewichtswert (UW) und der obere Bitgewichtswert (OW) einen Takt vor dem Auswählen in der Einrichtung (114) zum Auswählen berechnet werden.

19. Analog/Digital-Wandler (100) nach einem der vor-

hergehenden Ansprüche, dadurch gekennzeichnet, dass die Gruppe der binär codierten Bitgewichte (BG) bei einer 10-Bit-Wandlung Bitgewichte von 512, 256, 128, 64, 32, 16, 8, 4, 2, 1 mit 10 Wandlungsschritten, oder 478, 255, 136, 72, 38, 20, 11, 6, 4, 2, 1 mit 11 Wandlungsschritten oder 447, 251, 142, 80, 45, 25, 14, 8, 5, 3, 2, 1 mit 12 Wandlungsschritten aufweist.

20. Analog/Digital-Wandler (100) nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass die Einrichtung (102) zum Speichern einen Nur-Lese-Speicher (ROM), einen Direktzugriffsspeicher (RAM), einen elektrisch löschbaren programmierbaren Nur-Lese-Speicher (EPROM) oder einen Dekoder aufweist.

21. Analog/Digital-Wandler (100) nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass die erste, zweite und dritte Einrichtung (104, 106, 112) zum Zwischenspeichern jeweils ein Register aufweisen, das durch das Taktsignal (CLK) gesteuert wird.

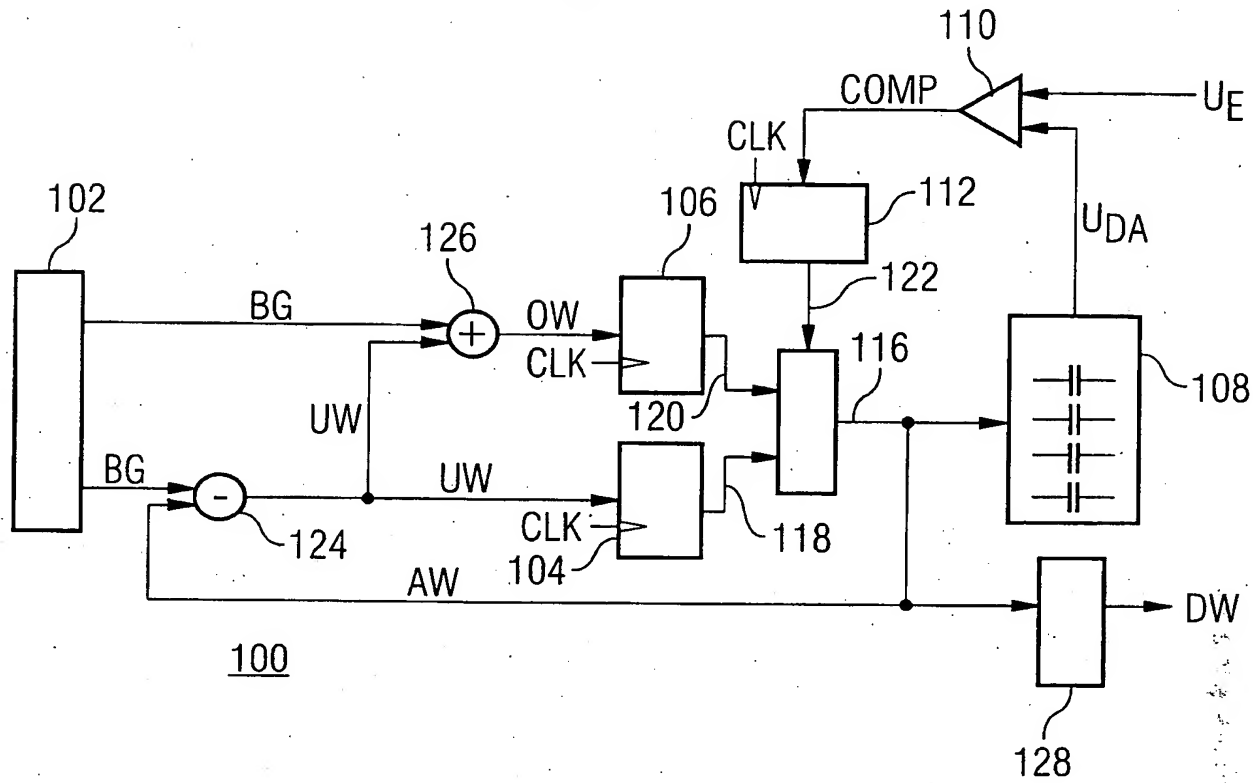
22. Analog/Digital-Wandler (100) nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass die Einrichtung (114) zum Auswählen einen digitalen Multiplexer aufweist.

23. Analog/Digital-Wandler (100) nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass die Einrichtung (110) zum Vergleichen einen Komparator aufweist.

24. Analog/Digital-Wandler (100) nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass der Analog/Digital-Wandler (100) ferner einen Pufferspeicher (128) zum Ausgeben des binär codierten Datenworts (DW) aufweist.

Hierzu 6 Seite(n) Zeichnungen

FIG 1



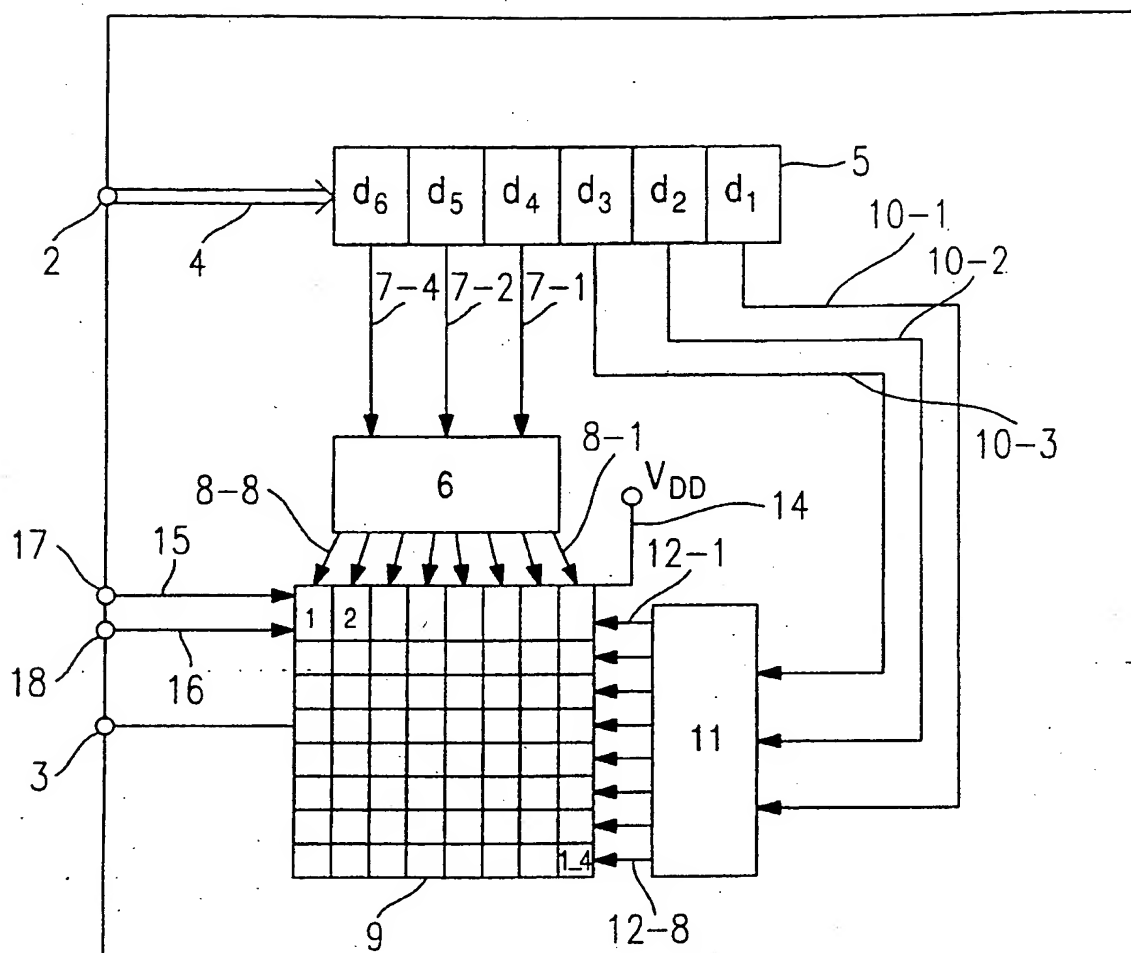


Fig. 2

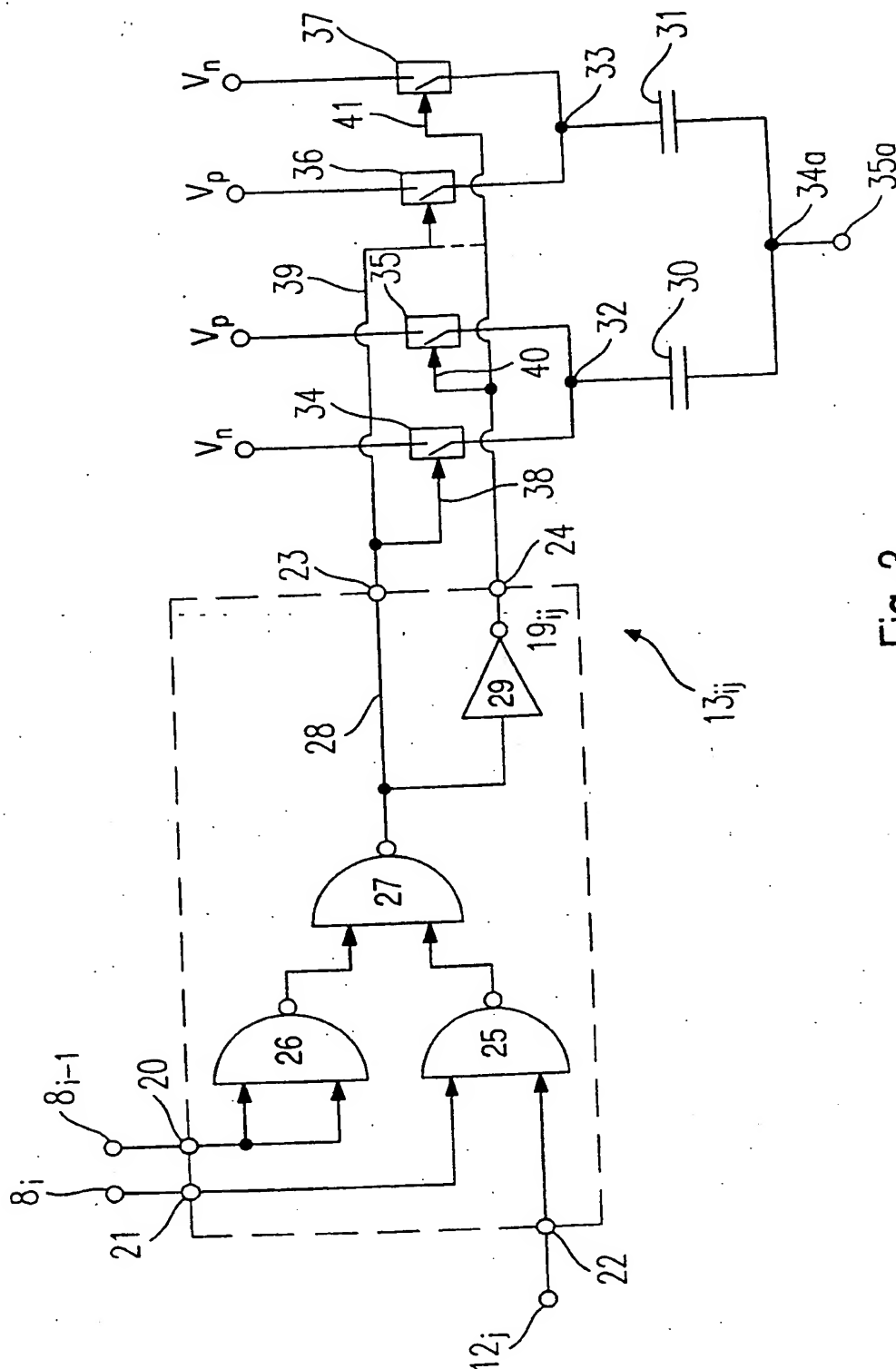


Fig. 3

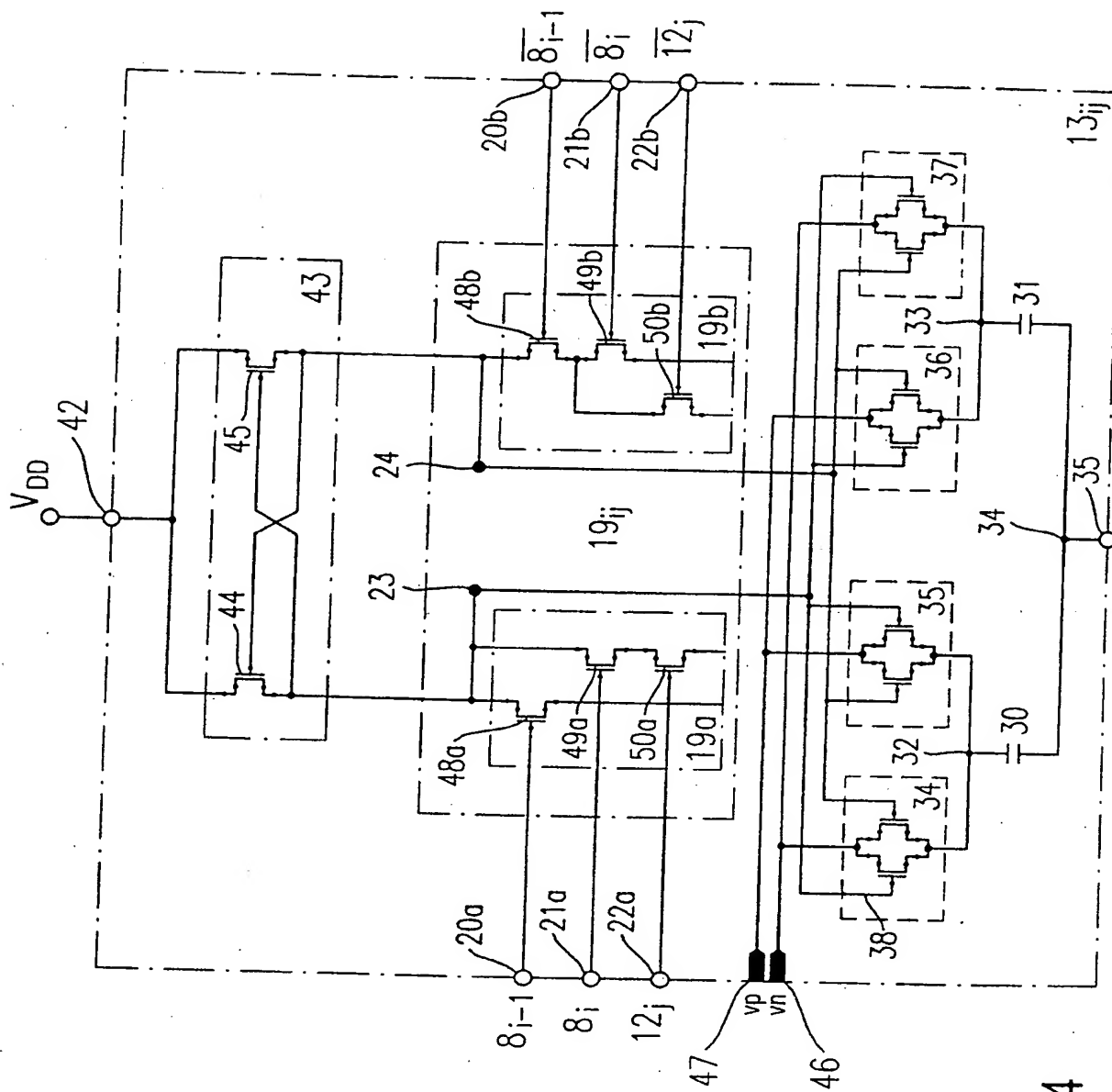


Fig. 4

FIG 5
STAND DER TECHNIK

